

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-288325

(43)Date of publication of application : 31.10.1995

(51)Int.Cl.

H01L 29/78
H01L 21/027
H01L 29/74
H01L 29/744
H01L 21/336

(21)Application number : 06-207178

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.08.1994

(72)Inventor : MINAMI YOSHIHIRO
HASEGAWA SHIGERU
TAKENAKA HIROSHI
OGURA TSUNEO
SATO SHINJI

(30)Priority

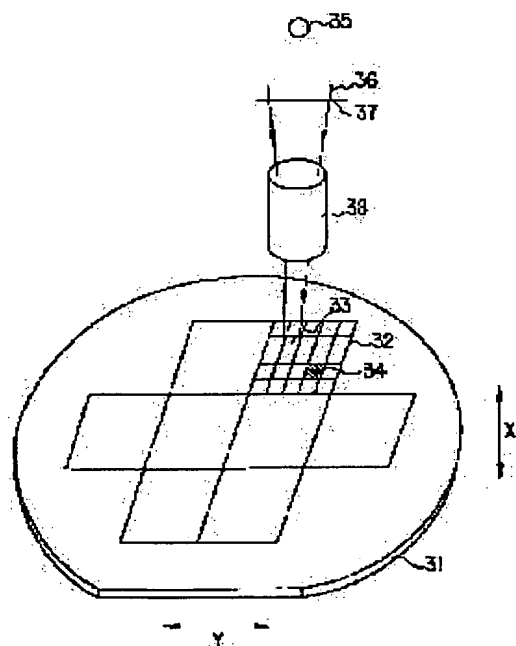
Priority number : 06 24090 Priority date : 22.02.1994 Priority country : JP

(54) MANUFACTURE OF POWER SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a method for manufacturing power semiconductor devices capable of preventing the lowering of repair work efficiency, even in miniaturization of the power semiconductor devices progresses.

CONSTITUTION: This manufacturing method for power semiconductor device has the process of preparing a power semiconductor element chip 32 divided into a plurality of cell blocks 33, and forming a power semiconductor element up to at least the completion of forming main electrodes in its cell blocks, of specifying a cell block 34 having a defective spot, and of separating the main electrode in the defective cell block 34 selectively from the main electrodes in the normal cell blocks electrically.



LEGAL STATUS

[Date of request for examination]

15.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-288325

(43) 公開日 平成7年(1995)10月31日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/027
29/74

H 0 1 L 29/78

3 2 1 T

21/30

5 0 2 C

審査請求 未請求 請求項の数 3 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平6-207178

(22) 出願日 平成6年(1994)8月31日

(31) 優先権主張番号 特願平6-24090

(32) 優先日 平6(1994)2月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 南 良博

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 長谷川 滋

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 竹中 浩

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

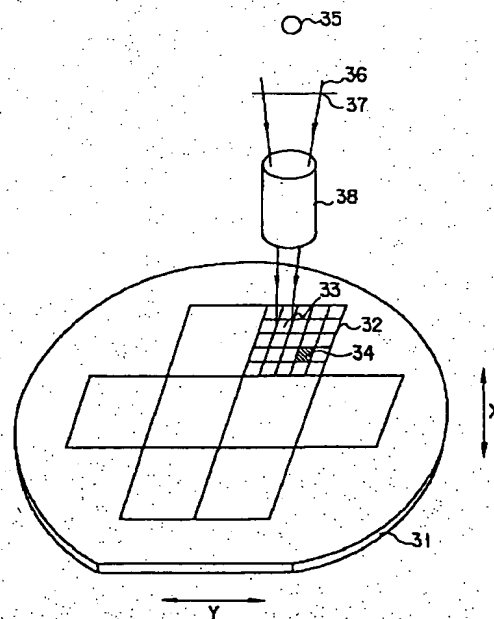
最終頁に続く

(54) 【発明の名称】 電力用半導体装置の製造方法

(57) 【要約】

【目的】 電力用半導体素子の微細化が進んでも、リペア作業効率の低下を防止し得る電力用半導体装置の製造方法を提供すること。

【構成】 複数のセルブロック33に区分された電力用半導体素子チップ32を用意し、前記セルブロックに少なくとも主電極までが完成した電力用半導体素子を形成する工程と、不良化箇所を有するセルブロック34を特定する工程と、不良セルブロック34内の主電極を、正常セルブロック内の主電極と選択的に電気的に分離する工程とを備えている。



【特許請求の範囲】

【請求項 1】微細部を有する電力用半導体素子の製造方法において、前記微細部をステップ露光により形成することを特徴とする電力用半導体装置の製造方法。

【請求項 2】複数のセルブロックに区分された電力用半導体素子チップを用意し、前記セルブロックに少なくとも主電極までが完成した電力用半導体素子を形成する工程と、

不良箇所を有するセルブロックを特定する検査工程と、この検査工程で認識された前記不良箇所を有するセルブロック内の主電極を、不良箇所を有しない他のセルブロック内の主電極と選択的に電気的に分離するようにステップ露光により配線を形成する工程とを有することを特徴とする電力用半導体装置の製造方法。

【請求項 3】微細部を有する電力用半導体素子の製造方法において、前記微細部の形成に供するレジストパターンをステップ露光により形成し、前記微細部以外の形成に供するレジストパターンを 1 対 1 全面露光により形成することを特徴とする電力用半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IGBT、GTO等の電力用半導体素子からなる電力用半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を達成するようにむすびつけ、1チップ上に集積化して形成した集積回路(IC)が多用されている。このようなIC中で、電力用半導体素子を含むものはパワーICと呼ばれている。

【0003】電力用半導体素子は、大きな通電能力が要求されるため、その面積は他の半導体素子に比べて大きい。このため、従来の電力用半導体素子の場合、そのリペア手段は、手作業による不良箇所の削除あるいは絶縁被覆が主な方法であった。

【0004】しかしながら、今後、電力用半導体素子の微細化が進むと、手作業によりリペアが困難になり、リペア作業効率が悪くなることが予想されている。ところで、一枚のウェハに大面積半導体装置である電力用半導体素子装置を作成するときの露光工程では、投影縮小倍率 1:1 でウェハの全面を一括で露光する露光装置(以下、1対1全面露光装置という)を用いている。

【0005】1対1全面露光装置で露光可能な最小寸法は 5 μm 程度であり、また、合わせ余裕は 1 μm 程度である。従来の電力用半導体素子装置を製造するには、この程度の精度で十分であった。

【0006】しかし、近年、電力用半導体素子装置の機能向上の要求が強く、微細な電力用半導体素子を形成する必要が生じている。このため、露光精度が厳しくなる傾

向があり、具体的には、最小露光寸法 1.0 μm、合わせ余裕 0.5 μm 程度の露光精度が求められている。

【0007】このような要求に答えるには、1対1全面露光装置よりも、投影縮小倍率が 5:1 の縮小投影型露光装置(以下、ステッパー露光装置という)の使用のほうが好ましい。

【0008】ステッパー露光装置の 1 ショットで露光可能は最大サイズは、15 mm × 15 mm 程度である。このため、1素子がそれ以上の大きさの電力用半導体素子の場合、1ショットでウェハ上の全ての素子領域を露光することは不可能なので、全ての素子領域を露光するには、複数ショットを行なう必要がある。したがって、ステッパー露光装置の場合、露光精度は高くなるが、作業効率が大幅に低下するという問題がある。

【0009】

【発明が解決しようとする課題】上述の如く、従来の電力用半導体素子にあっては、その面積が比較的大きかったため、手作業によるリペアが主流であった。ところが、今後、電力用半導体素子の微細化が進むと、手作業によるリペアが困難になり、リペア作業効率が悪くなると予想されている。

【0010】また、従来の電力用半導体装置の露光工程は、通常、1対1全面露光装置を用いて行なわれていたが、電力用半導体素子の微細化が進むと、十分な露光精度が得られるステッパー露光装置を用いる必要がある。しかし、ステッパー露光装置の 1 ショットで露光できる面積は小さいので、ウェハ上の全ての素子を露光するには複数ショットを行なう必要があり、作業効率が大幅に低下するという問題がある。

【0011】本発明は、上記事情を考慮してなされたものである。その目的とするところは、電力用半導体素子の微細化が進んでも、リペア作業効率の低下を防止し得る電力用半導体装置の製造方法を提供することにある。また、本発明の他の目的は、電力用半導体素子の微細化が進んでも、露光作業効率の低下を防止し得る電力用半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の電力用半導体装置の製造方法(請求項 1)は、微細部を有する電力用半導体素子の製造方法において、前記微細部をステップ露光により形成することを特徴とする。

【0013】本発明の電力用半導体装置の製造方法(請求項 2)は、複数のセルブロックに区分された電力用半導体素子チップを用意し、前記セルブロックに少なくとも主電極までが完成した電力用半導体素子を形成する工程と、不良箇所を有するセルブロックを特定する検査工程と、この検査工程で認識された前記不良箇所を有するセルブロック内の主電極を、不良箇所を有しない他のセルブロック内の主電極と選択的に電気的に分離するようにステップ露光により配線を形成する工程とを備え

たことを特徴とする。

【0014】本発明の電力用半導体装置の製造方法（請求項3）は、微細部を有する電力用半導体素子の製造方法において、前記微細部の形成に供するレジストパターンをステップ露光により形成し、前記微細部以外の形成に供するレジストパターンを1対1全面露光により形成することを特徴とする。

【0015】ここで、微細部とは、この微細部の形成に供するレジストパターンのサイズが、1対1全面露光では困難あるいは不可能なサイズであるものをいう。ここで、ステップ露光とは、投影縮小倍率、例えば、5：1でウェハの一部を露光することをいう。ここで、1対1全面露光とは、投影縮小倍率1：1でウェハの全面を一括で露光することをいう。

【0016】

【作用】本発明（請求項1）によれば、電力用半導体素子の微細化が進むことにより生じる問題に対処できるようになる。具体的には、例えば、以下に説明する発明（請求項2、3）のように、電力用半導体素子の微細化が進んでも、リベア作業効率や露光作業効率の低下を防止できる。

【0017】すなわち、本発明（請求項2）では、まず、複数のセルブロックに区分された電力用半導体素子チップを用意し、上記セルブロックに主電極までが完成された電力用半導体素子を形成する。ここで、電力用半導体素子の個数は複数であることが好ましい。

【0018】次に本発明では、不良化箇所を有するセルブロックを特定している。この工程により、不良箇所を有するセルブロック（不良セルブロック）と、不良箇所を有しないセルブロック（正常セルブロック）とを区別

【0019】次に本発明では、不良セルブロック内の主電極を選択的に正常セルブロック内の主電極と電気的に分離している。すなわち、不良セルブロックの電力用半導体素子が使用されないようにする。このとき、不良セルブロックの個数が複数であれば、各不良セルブロック毎に順次上記主電極の分離を行なう。

【0020】このように本発明では、リベア（主電極の分離）の単位としてセルブロックを選んでいるので、例えば、ステッパー露出装置のリベアシステムを用いることにより、不良セルブロックの主電極だけを容易に選択的に正常セルブロックの主電極と電気的に分離できるようになる。したがって、効率的な機械によるリベアが可能となり、電力用半導体素子の微細化が進むことによるリベア作業効率の低下を防止できるようになる。

【0021】また、本発明（請求項3）によれば、微細部の形成に供するレジストパターンのみをステップ露光により形成しているので、露光作業効率の低下を最小限に抑えながら、良好な（正確な）レジストパターンを形成できるようになる。

【0022】

【実施例】以下、図面を参照しながら実施例を説明する。図1は、本発明の第1の実施例に係る電力用半導体装置のリベアシステムの概略構成を示す模式図である。このリベアシステムはステッパー露光装置を用いた例である。

【0023】図中、31はウェハを示しており、このウェハ31には複数の電力用半導体素子チップ32が形成されている。この電力用半導体素子チップ32は通常のリソグラフィ工程では1ショットに対応する部分である。

【0024】電力用半導体素子チップ32は同一のパターンを持つ複数のセルブロック33に分割されている。このセルブロック33は、通常、5～6個のセルユニットから構成されている。また、図中、34は不良箇所を有するセルブロック（不良セルブロック）を示している。

【0025】ウェハ31はステッパーシステムを構成するウェハステージ（不図示）に載置されており、このウェハステージによりウェハ31をX方向、Y方向にステップ移動できるようになっている。

【0026】また、ウェハ31の上方にはステッパーシステムの光学系が設けられており、図中、35はその光源を示している。この光源35から出射した光36は、集光レンズ（不図示）で集光した後、マスクパターン37を通り、そして、縮小投影レンズ38を介して、セルブロック33に照射される。このようにして、マスクパターン37の微細パターンがセルブロック33に露光される。

【0027】以下、電力用半導体素子として、絶縁ゲート付きターンオフサイリスタを用いた場合を例にあげて具体的に説明する。図2、図3は、本発明の実施例に係るリベア方法を示す工程断面図であり、図2は正常セルブロックのリベア方法を示す工程断面図、図3は不良セルブロックのリベア方法を示す工程断面図である。

【0028】図2（a）は、第1層目の主電極である制御電極11、カソード電極13までを周知の方法で形成した段階の素子構造を示している。この素子構造は以下の通りである。

【0029】図中、1は高抵抗のn型ベース層を示しており、このn型ベース層1の裏面には、低抵抗のp型エミッタ層5が形成されている。n型ベース層1の表面には、p型ベース層2が選択的に形成され、このp型ベース層2の表面には、n型エミッタ層3、高濃度のp型拡散層12が選択的に形成されている。

【0030】n型ベース層1とn型エミッタ層3とにより挟まれたp型ベース層2の表面上には、ゲート絶縁膜7を介してゲート電極8が設けられている。また、n型エミッタ層3にはカソード電極13、p型拡散層12には制御電極11が設けられている。ゲート電極8とカソ

ード電極13とは絶縁膜10によって絶縁分離されている。

【0031】このような素子構造が形成された段階で、不良判定のために、例えば、ゲート電極8-カソード電極13間、制御電極11-カソード電極13間およびゲート電極8-制御電極11間の短絡測定を行なう。この短絡測定の代わりに、ターンオフ能力のばらつきなどで不良判定を行なっても良い。

【0032】ここで、不良判定を行なう単位はセルユニットでも、セルブロックでも構わない。これを電力用半導体素子チップ32内の全てのセルブロック34について行なって、図4に示すようなセルブロックに関する不良箇所のマッピングデータを作成する。このようなマッピングデータを残りの電力用半導体素子チップ32についても作成する。

【0033】次に図2(b)に示すように、全面にネガ型レジストとして機能するネガ型絶縁膜14(例えば、ポリイミド膜)を形成した後、マスクパターン37aを介して、通常通りにネガ型絶縁膜14に光36aを照射する。すなわち、制御電極11上に位置する部分の絶縁膜14に光36aを選択的に照射し、露光する。

【0034】この通常露光は、図1に示したシステムにより、各電力用半導体素子チップ32を順次1ショットで行なうものである。したがって、正常セルブロック33を有する電力用半導体素子チップ32も、不良セルブロック34を有する電力用半導体素子チップ32も上記露光プロセスを受けることになる。

【0035】この後、各電力用半導体素子チップ32は、以下のような製造プロセスを受ける。すなわち、上記マッピングデータを用いて図1のリペアシステムをプログラミングし、このプログラミングされたリペアシステムを用いて、図3(a)に示すように、不良セルブロック34だけを順次選択的に全面露光する。このようなリペアのための選択露光を各電力用半導体素子チップ32について順次行なう。

【0036】次に図2(c)、図3(b)に示すように、ネガ型絶縁膜14を現像する。すなわち、正常セルブロックのネガ型絶縁膜14は、ゲート電極8、カソード電極13上に位置する部分が除去され、不良セルブロック34のネガ型絶縁膜14はパターンニングされず、そのまま全部が残置する。

【0037】次に図2(d)、図3(c)に示すように、カソード電極層15を全面に形成する。このとき、不良セルブロック34のネガ型絶縁膜14は、上述したように、パターンニングされていないので、正常セルブロックの第1層目のカソード電極13だけが第2層目のカソード電極層15とコンタクトする構造が形成される。

【0038】このようにして、不良セルブロック34内の第2層目のカソード電極層15と不良箇所のカソード電極13を絶縁することによって、リペア工程が終了す

る。なお、不良箇所上の第2層目のカソード電極層15は、上記マッピングデータを再度用いて除去してもかまわない。

【0039】以上述べたように本実施例によれば、リペア単位としてセルブロックを選んでいるので、ステッパ-露光装置のリペアシステムを用いることにより、不良セルブロックの主電極だけを容易に選択的に正常セルブロックの主電極と電氣的に分離できるようになる。したがって、効率的な機械によるリペアが可能となり、電力用半導体素子の微細化が進むことによるリペア作業効率の低下を防止できるようになる。

【0040】なお、本実施例では、第1の主電極を形成した後にリペアを行なったが、他の工程段階で行っても良い。また、本実施例では、ネガ型絶縁膜を用いた場合について説明したが、ポジ型絶縁膜を用いた場合には、例えば、正常セルブロックのみを選択的に正常パターン露光し、不良セルブロックは未露光で残せば良い。或いはポジ型絶縁膜を正常パターン露光し、全主電極上のポジ型絶縁膜をパターン化した後、ネガ型絶縁膜を塗布し、次いで不良セルブロックのみを全面露光し、正常セルブロックの主電極上のネガ型絶縁膜を除去しても良い。

【0041】また、より確実なリペアを行なうためには、例えば、図5の第1層目の主電極を形成した段階の平面図に示すように、セルブロックゲートパッド16、セルブロック制御パッド17、並びにセルブロックカソードパッド18をセルブロック別に独立に設けると良い。

【0042】このように各種パッド16、17、18を設ければ、第2層目のカソード電極層を形成した後、正常なセルブロックについては、セルブロックゲートパッド16をゲート母線(他の絶縁ゲート付きターンオフサイリスタのゲートにも繋がっている共通のゲート配線)19に接続し、セルブロック制御パッド17を制御母線(他の同上の制御電極にも繋がっている共通の制御配線)20に接続し、セルブロックカソードパッド18を2層目のカソード電極に接続することにより、通常の電氣的接続が得られる。

【0043】一方、不良なセルブロックについては、不良セルブロック用のマスクパターンを用いて選択的なリソグラフィを行なって、第2層目のカソード電極層15を形成した後の図5のA-A'断面図である図6、並びにB-B'断面図である図7に示すように、セルブロックゲートパッド16およびセルブロック制御パッド17をとともセルブロックカソードパッド18に接続する。この結果、パッド16、18が他の電力半導体素子を介してそれぞれ母線19、20に電氣的に接続することを防止でき、更に確実なリペアを行なえるようになる。

【0044】次に本発明の第2の実施例に係るリペア方法について説明する。図8は、絶縁ゲート付きバイポー

10

20

30

40

50

ラトランジスタ（IGBT）のリベア方法を示す工程断面図である。ここで、ゲート電極8はセルブロック毎に独立しているものとする。

【0045】まず、図8（a）に示すように、主電極であるソース電極22までを周知の方法で形成した後、不良測定を行ない不良セルブロックを特定する。次に図8（b）に示すように、全面にポジ型レジスト23を塗布した後、図1のレベアシステムを用いて、不良セルブロック34上のポジ型レジスト23を選択的に順次全面露光する。

【0046】この後、ポジ型レジスト23の現像を行なってレジストパターンを形成し、このレジストパターンをマスクとして、不良セルブロック34のソース電極22を選択的にエッチング除去する。

【0047】次に図8（c）に示すように、全面に絶縁膜27を堆積する。この結果、不良セルブロック34のソース電極22が存在していた部分だけが、絶縁膜27により正常セルブロックのソース電極22と電気的に分離される。

【0048】この後、正常なセルブロックのゲート電極同士をボンディングなどで接続し、チップを完成させる。また、本実施例のようにソース電極22をセルブロックごとに独立させておくと、図5の方法と同様に、不良セルブロックのゲート電極8とソース電極22とを短絡させ、他の素子と独立させることもできる。

【0049】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、絶縁ゲート付きターンオフサイリスタ、IGBTの場合について説明したが、本発明は同左以外の2層主電極構造素子、IGBT以外の1層主電極構造素子にも適用できる。

【0050】また、例えば、自動不良測定装置（オートプローバなど）、絶縁膜コート、露光装置を自動搬送系で結び、自動不良測定装置の測定データを自動的に露光装置に転送すれば、作業効率を1層向上することができる。

【0051】また、上記実施例では、リベアシステムにステッパー露光装置を用いたが、その代わりに直接描画露光装置を用いても良い。図9は、本発明の第3の実施例に係る露光方法を説明するためのウェハの平面図である。図中、30はウェハを示しており、このウェハ30には複数の電力用半導体素子チップ40が形成されている。

【0052】図10は、電力用半導体素子チップ40の詳細を示す平面図である。破線で示された正方形の領域41は、ステッパー露光装置の1ショットで露光できる領域（1ショット領域）を示している。なお、1ショット内の露光パターンは省略してある。

【0053】各1ショット領域41内にはショットキダイオード等からなる電力用半導体素子領域が形成され、また、21個の1ショット領域41の周りには、素

子の接合終端領域が形成されている。

【0054】図11は、図10の電力用半導体素子チップ40のC-C'断面図であり、上記電力用半導体素子領域および接合終端領域が示されている。図中、42はn型ベース層を示しており、このn型ベース層42上にはショットキーバリアメタル層49（例えばモリブデン層）を介してアノード電極51が形成されている。

【0055】また、n型ベース層42の表面には微細なp型ガードリング層46が周期的に形成されている。具体的には、二つのp型ガードリング層46の間隔は2μmであり、また、p型ガードリング層46の幅は1μmである。これらp型ガードリング層46は、ショットキー面の耐圧を得るためのものである。これらp型ガードリング層46の周りのn型ベース層42の表面にはショットキー面外周を保護するためのp型ガードリング層44が選択的に形成されている。

【0056】このp型ガードリング層44の周り、つまり、接合終端領域のn型ベース層42の表面には高耐圧を得るためのp型ガードリング層45が選択的に形成されている。このp型ガードリング層45の周りのn型ベース層42の表面にはn型チャネルストップ層47が選択的に形成され、このn型チャネルストップ層47には電極53が設けられている。この電極53は絶縁膜48によりアノード電極51等から絶縁分離されている。

【0057】一方、n型ベース層42の裏面全面にはn型半導体層43を介してカソード電極52が形成されている。このような電力用半導体素子チップ40を製造するための露光方法は以下の通りである。

【0058】すなわち、微細な半導体層であるp型ガードリング層46のレジストパターンは、ステッパー露光装置を用いて作成し、残りの部分のレジストパターンは1対1全面露光装置を用いて作成する。

【0059】言い換えれば、接合終端領域の露光は1対1全面露光装置を用いて行ない、電力用半導体素子領域の露光はステッパー露光装置および1対1全面露光装置を用いて行なう。ステッパー露光、1対1全面露光の順番はどちらが先でも良い。

【0060】本実施例の場合、ステッパー露光装置は、p型ガードリング層46のレジストパターンの作成にしか使用しないので、ステッパー用の合わせマークは不要である。このため、合わせマークが不要になる分だけ、素子の作成に利用できる領域が増える。

【0061】また、1対1全面露光用の合わせマークは従来通りに露光前の素子の製造工程中に作成しておく。この合わせマークによる素子特性の悪影響を防止するためには、例えば、図12に示すように、合わせマーク54を絶縁膜55により被覆すれば良い。

【0062】本実施例のように、1対1全面露光装置では作成が無理な微細なレジストパターンのみをステッパー装置を用いて作成し、それ以外のレジストパターンは

1対1全面露光装置を用いて作成すれば、作業効率の低下を最小限に抑えながら、良好（正確）なレジストパターンを作成することができるようになる。

【0063】なお、電力用半導体素子は圧接構造を取ることが多いが、この場合には、例えば、図13に示すように、1対1全面露光装置を用いて層間絶縁膜56および圧着用の第2のアノード電極57を形成すると良い。

【0064】なお、本実施例では、図9に示したように、1枚のウェハ30に12個の電力用半導体チップ40を形成する場合について述べたが、本発明は、より大きな半導体素子、例えば、1個の電力用半導体素子チップがウェハ1枚の大きさの場合にも提供できる。

【0065】すなわち、この場合、図10において、実線で示された電力用半導体チップ40をウェハ1枚と読み替えれば、上述の説明がそのまま成立する。図14は、本発明の第4の実施例に係る露光方法を説明するためのウェハの平面図である。また、図15は、図14の電力用半導体素子チップ40のD-D'断面図である。

【0066】破線で示された正方形の領域81は、ステッパー露光装置の1ショットで露光できる領域（1ショット領域）を示している。なお、1ショット内の露光パターンは省略してある。

【0067】本実施例が先の実施例と異なる点は、ショットキーダイオードの代わりにIGBTが電力用半導体素子領域に形成されていることにある。図15において、61はn型ベース層を示しており、このn型ベース層61の表面にはp型ベース層62が選択的に形成されている。このp型ベース層62の表面にはn型ソース層63が選択的に形成されており、このn型ソース層63とn型ベース層61とで挟まれたp型ベース層62上にはゲート絶縁膜64を介してゲート電極65が形成されている。

【0068】p型ベース層62およびn型ソース63には第1のカソード電極68が設けられている。この第1のカソード電極68は絶縁膜67によりゲート電極65と絶縁分離されている。第1のカソード電極68上には第2のカソード電極71が設けられている。

【0069】また、図中、66はゲート電極65に繋がったゲート配線を示しており、この引出しゲート配線66の形成領域は、図14の破線で示された正方形の領域81と実線で示された正方形の領域との間のゲート配線領域82である。このゲート配線領域82はステップ露光の合わせマーク領域となる。つまり、ゲート配線領域82に合わせマークを形成する。

【0070】引出しゲート配線66上には第1の取出しゲート電極69が設けられ、この第1の取出しゲート電極69上には第2の取出しゲート電極72が設けられている。これら取出しゲート電極69、72の形成領域は、図14の斜線で示された領域である。また、これら取出しゲート電極69、72は層間絶縁膜70によって

カソード電極68、71やストップ電極43から絶縁分離されている。

【0071】一方、n型ベース層61の裏面にはp型エミッタ層60を介してドレイン電極73が設けられている。なお、接合終端領域は先の実施例のそれと同じであり、図11の接合終端領域の各層と対応する部分には図11と同一の符号を付してある。

【0072】このような電力用半導体素子チップを製造するための露光方法は以下の通りである。すなわち、微細な半導体層であるp型ベース層62やn型ソース層63のレジストパターンは、ステッパー露光装置を用いて作成し、残りの部分のレジストパターンは1対1全面露光装置を用いて作成する。

【0073】本実施例の場合、ステッパー露光装置は、p型ベース層62、n型ソース層63の複数層のレジストパターンの作成に使用するので、ステッパー用の合わせマークは必要となる。この合わせマークは、上述したように、ゲート配線領域82に形成する。

【0074】また、合わせマークとして絶縁膜の開口部を利用した場合には、開口部の底面に露出したゲート配線68と後工程で形成される電極等の導電体とがコンタクトして、素子特性が劣化する恐れがあるので、1対1全面露光装置による絶縁膜のレジストパターンの形成の際に、上記開口部が絶縁膜で塞がれるようなレジストパターンを形成し、絶縁膜により上記開口部を塞ぐと良い。

【0075】本実施例でも、1対1全面露光装置では作成が無理な微細なレジストパターンのみをステッパー装置を用いて作成し、それ以外のレジストパターンは1対1全面露光装置を用いて作成しているため、作業効率の低下を最小限に抑えながら、良好（正確）なレジストパターンを作成することができるようになる。

【0076】なお、本実施例では、21個の1ショット領域の外側に取出しゲート電極69、72を形成したが、図16に示すように、20個の1ショット領域内の斜線部分83に形成しても良い。

【0077】なお、本実施例では、ステッパー露光装置の1ショット領域が互いに接している場合、すなわち、図14において、1ショット領域81が互いに接している場合について述べたが、例えば、ゲート配線領域がステッパー露光用の合わせマーク領域82のみでは小さい場合は、ステッパー露光装置の1ショット領域同士の間隔を所望の距離だけあければ良い。

【0078】図15は、本発明の第5の実施例に係る露光方法を説明するための平面図である。図中、84は1個の半導体チップを示し、また、ステッパー露光装置の1ショット領域を破線の正方形で示し、他は省略してある。

【0079】本実施例の特徴は、ステッパー露光装置の1ショット領域の一部を他の1ショット領域とは異なる

マスクを用いて露光することにより、1個の大面積半導体チップ上に複数の異なるセル領域が形成されていることにある。

【0080】図中の1ショット領域85は、例えば、1IGBTが形成された領域であり、1ショット領域86は、1IGBTのゲート回路が形成された領域、87は逆導通ダイオードの形成された領域、88は過電圧・過電流保護回路の形成された領域を示す。接合終端領域やステッパー露光装置の1ショット領域間の配線領域などは図示されていないが、1:1全面露光装置を用いて形成するものである。本実施例によれば、パワー部とロジック部が形成された大面積の複合素子の形成が可能となる。

【0081】また、第3、第4の実施例では、半導体素子としてそれぞれショットキーダイオード、IGBTを取り上げたが、本発明はGTO、MOSサイリスタ等の他の電力用半導体素子の場合にも有効である。その他、本発明の趣旨を逸脱しない範囲で種々変形して実施できる。

【0082】

【発明の効果】本発明（請求項1）によれば、電力用半導体装置の製造工程において、特定の工程のみでステップ露光を用いることにより、従来の電力用半導体装置の製造方法では不可能であったことが可能となる。

【0083】本発明（請求項2）によれば、電力用半導体素子チップを複数のセルブロックに区分し、セルブロック単位でリベアを行なえるようにしているので、ステッパー露光装置等を用いることにより効率良くリベアを行なえ、電力用半導体素子の微細化によるリベア作業効率の低下を防止できるようになる。

【0084】本発明（請求項3）によれば、ステップ露光の対象を限定することにより、露光作業効率の低下を最小限に抑えながら、良好（正確）なレジストパターンを形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る電力用半導体装置のリベアシステムの概略構成を示す模式図

【図2】本発明の第1の実施例に係る正常セルブロックのリベア方法を示す工程断面図

【図3】本発明の第1の実施例に係る不良セルブロックのリベア方法を示す工程断面図

【図4】不良箇所のマッピングデータを示す図

【図5】図2、図3に示したリベア方法の変形例を示す平面図

【図6】図5のA-A'断面図

【図7】図5のB-B'断面図

【図8】本発明の第2の実施例に係るリベア方法を示す工程断面図

【図9】本発明の第3の実施例に係る露光方法を説明するためのウェハの平面図

【図10】図9のウェハの一部を詳細に示す平面図

【図11】図10のウェハのC-C'断面図

【図12】合わせマーク部分の断面図

【図13】圧着構造を用いた場合の素子構造を示す断面図

【図14】本発明の第4の実施例に係る露光方法を説明するためのウェハの平面図

【図15】図14のウェハのD-DC'断面図

【図16】図15のウェハの変形例を示す平面図

【図17】本発明の第5の実施例に係る露光方法を説明するためのウェハの平面図

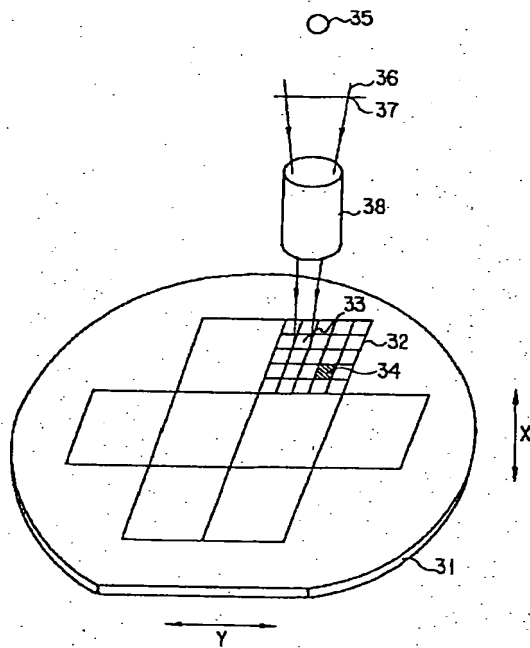
【符号の説明】

- 1…高抵抗n型ベース層
- 2…p型ベース層
- 3…n型エミッタ層
- 5…p型エミッタ層
- 7…ゲート絶縁膜
- 8…ゲート電極
- 10…第1の絶縁膜
- 11…制御電極（第1層目の主電極）
- 12…高濃度p型層
- 13…カソード電極（第1層目の主電極）
- 14…第2の絶縁膜（第2層目の主電極）
- 15…カソード電極層
- 16…セルブロックゲートパッド
- 17…セルブロック制御パッド
- 18…セルブロックカソードパッド
- 19…ゲート母線
- 20…制御母線
- 21…絶縁膜
- 22…ソース電極（主電極）
- 23…ボジ型レジスト
- 31…ウェハ
- 32…チップ
- 33…セルブロック
- 34…不良セルブロック
- 35…光源
- 36…光
- 37…マスクパターン
- 38…縮小投影レンズ
- 30…ウェハ
- 40…電力用半導体素子チップ
- 41…1ショット領域
- 42…n型ベース層
- 43…n⁺半導体層
- 44…p型ガードリング層
- 45…p型ガードリング層
- 46…p型ガードリング層
- 47…n型チャネルストップ層
- 48…絶縁膜

13

- 49...ショットキーバリアメタル層
 51...アノード電極
 52...カソード電極
 54...合わせマーク
 55...絶縁膜
 56...層間絶縁膜
 57...第2のアノード電極
 60...p型エミッタ層
 61...n型ベース層
 62...p型ベース層
 63...n型ソース層

【図1】



(8)

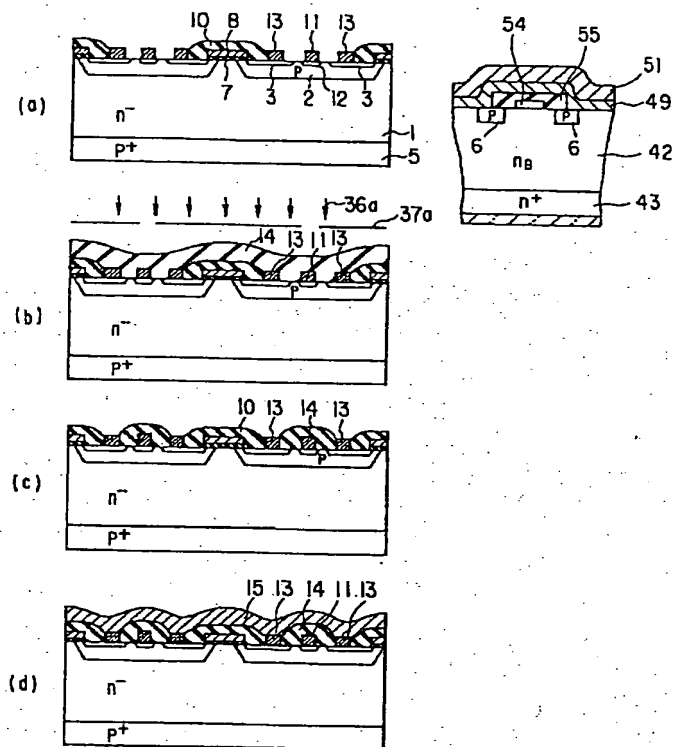
特開平7-288325

14

- * 64...ゲート絶縁膜
 65...ゲート電極
 66...ゲート配線
 67...絶縁膜
 68...第1のカソード電極
 69...第1の取出しゲート電極
 70...層間絶縁膜
 71...第2のカソード電極
 72...第2の取出しゲート電極
 10 81...1ショット領域
 * 82...ゲート配線領域

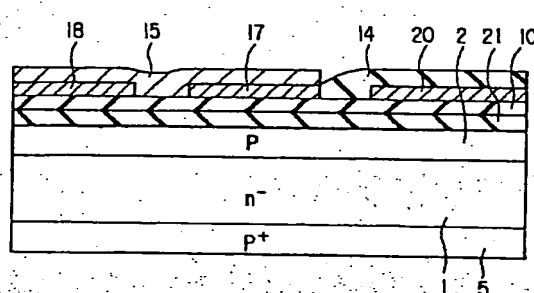
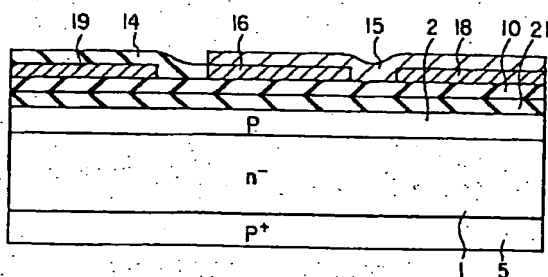
【図2】

【図12】

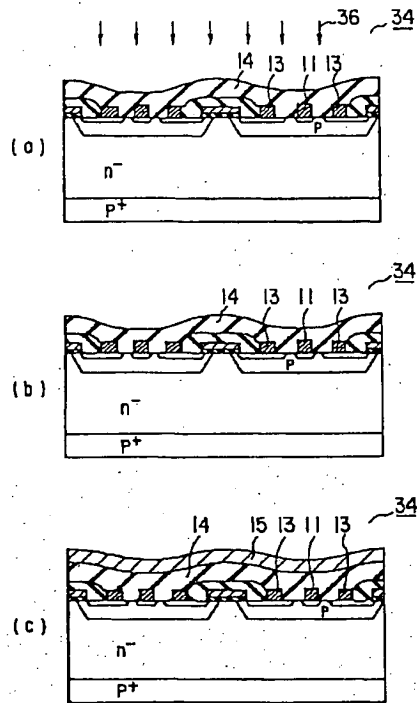


【図6】

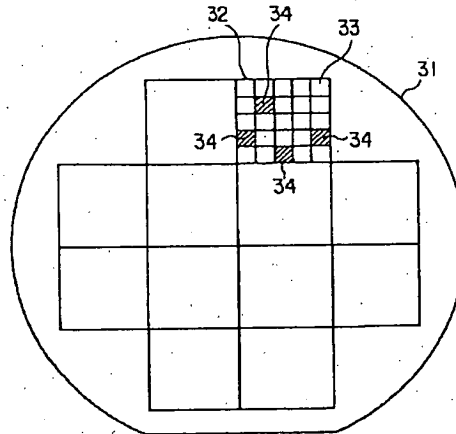
【図7】



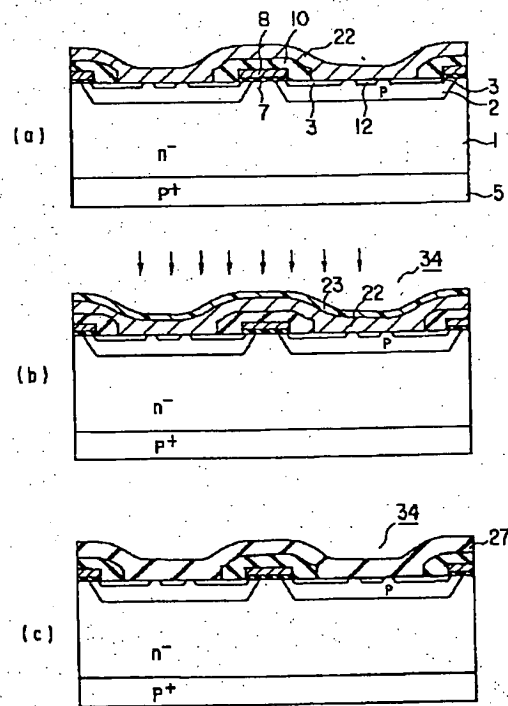
【図3】



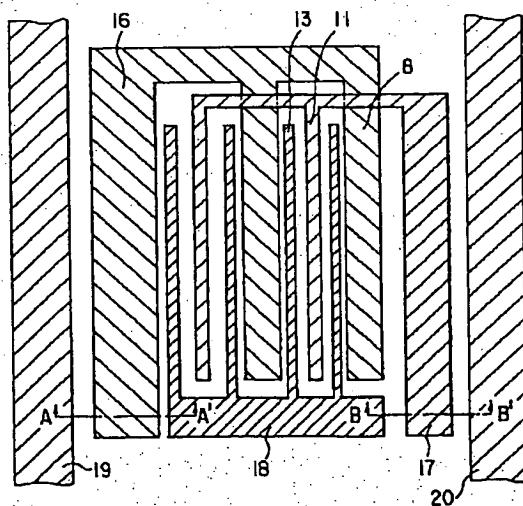
【図4】



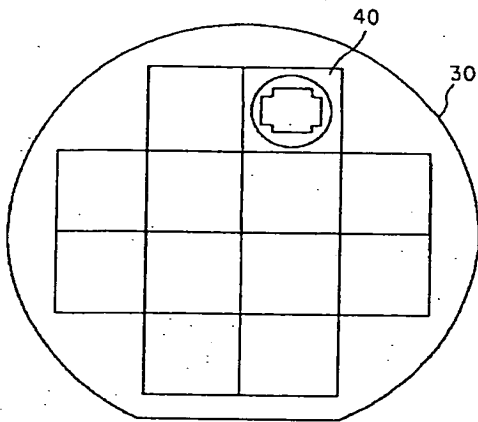
【図8】



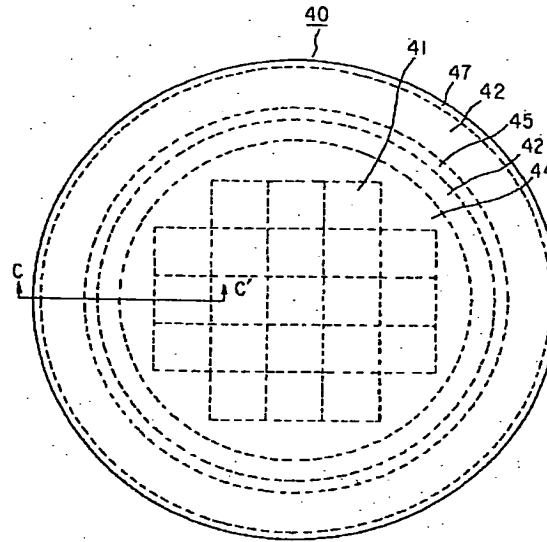
【図5】



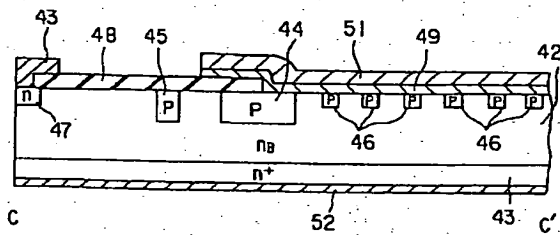
【圖9】



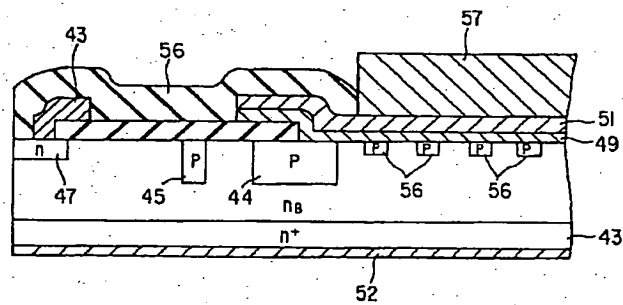
[10]



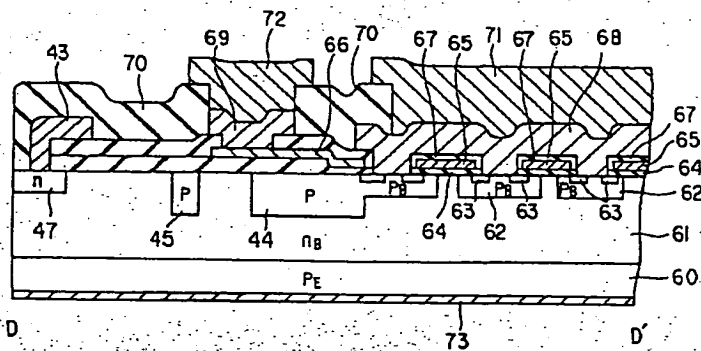
【圖 11】



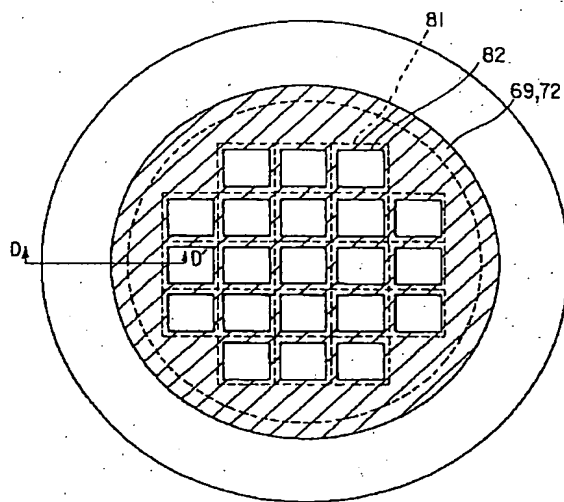
【图 1.3】



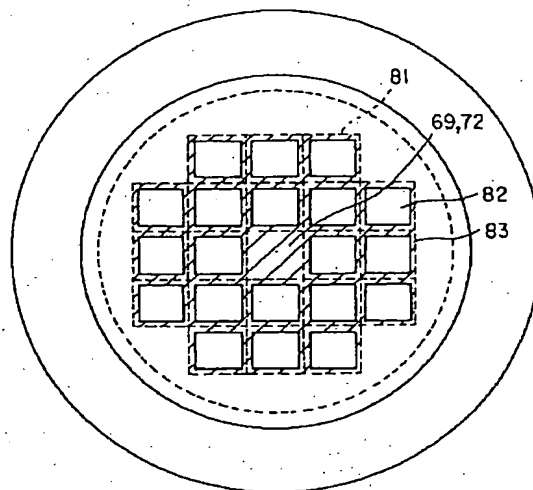
【圖 15】



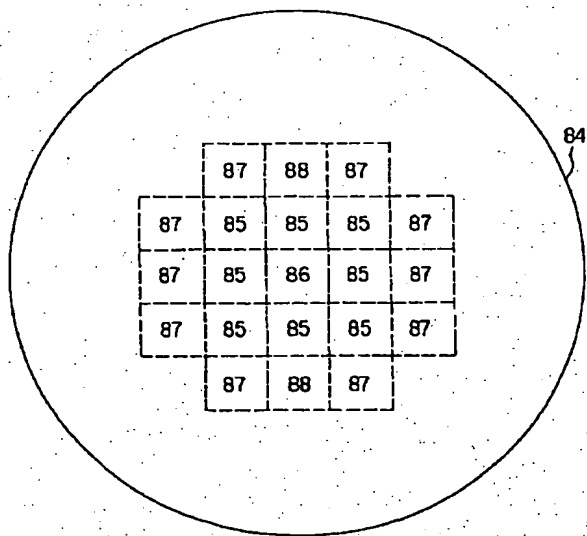
【図14】



【図16】



【図17】



(12)

特開平 7 - 2 8 8 3 2 5

フロントページの続き

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/744

21/336

H 0 1 L 21/30

29/74

5 1 4 C

Q

C

J

29/78

3 2 1 Y

(72)発明者 小倉 常雄

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72)発明者 佐藤 伸二

東京都府中市東芝町 1 番地 株式会社東芝
府中工場内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 4 月 6 日 (2001. 4. 6)

【公開番号】特開平 7-288325
 【公開日】平成 7 年 10 月 31 日 (1995. 10. 31)
 【年通号数】公開特許公報 7-2884
 【出願番号】特願平 6-207178
 【国際特許分類第 7 版】

H01L 29/78
 21/027
 29/74
 29/744
 21/336

【F I】

H01L 29/78 321 T
 21/30 502 C
 514 C
 29/74 Q
 C
 J
 29/78 321 Y

【手続補正書】
 【提出日】平成 12 年 3 月 15 日 (2000. 3. 15)

【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更

【補正内容】
 【発明の名称】 半導体装置およびその製造方法
 【手続補正 2】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正内容】

【特許請求の範囲】

【請求項 1】微細部を有する電力用半導体素子の製造方法において、前記微細部をステップ露光により形成することを特徴とする電力用半導体装置の製造方法。

【請求項 2】複数の領域に区分された電力用半導体素子チップを用意し、前記領域に少なくとも主電極までが完成した電力用半導体素子を形成する工程と、不良箇所を有する領域を特定する検査工程と、この検査工程で認識された前記不良箇所を有する領域内の主電極を、不良箇所を有しない他の領域内の主電極と選択的に電気的に分離するようにステップ露光により配線を形成する工程とを有することを特徴とする電力用半導体装置の製造方法。

法。

【請求項 3】前記領域は、複数のセルで構成されたセルブロックであることを特徴とする請求項 2 に記載の電力用半導体装置の製造方法。

【請求項 4】前記領域は、1 回のステップ露光で露光できる大きさであることを特徴とする請求項 2 に記載の電力用半導体装置の製造方法。

【請求項 5】微細部を有する電力用半導体素子の製造方法において、前記微細部の形成に供するレジストパターンをステップ露光により形成し、前記微細部以外の形成に供するレジストパターンを 1 対 1 全面露光により形成することを特徴とする電力用半導体装置の製造方法。

【請求項 6】複数のセルブロックに区分された電力用半導体素子チップを有し、前記複数のセルブロックはそれぞれ主電極を有し、かつ前記複数のセルブロックの一部の主電極は配線によって互いに電気的に接続され、前記複数のセルブロックの残りの部分の主電極は前記配線とは電気的に分離されていることを特徴とする電力用半導体装置。

【手続補正 3】

【補正対象書類名】明細書
 【補正対象項目名】0001
 【補正方法】変更
 【補正内容】
 【0001】

【産業上の利用分野】本発明は、IGBT、GTO等の

電力用半導体素子からなる電力用半導体装置およびその製造方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】本発明は、上記事情を考慮してなされたもので、その目的とするところは、電力用半導体素子の微細化が進んでも、リペア作業効率の低下を防止し得る電力用半導体装置およびその製造方法を提供することにある。また、本発明の他の目的は、電力用半導体素子の微細化が進んでも、露光作業効率の低下を防止し得る電力用半導体装置の製造方法を提供することにある。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】本発明の電力用半導体装置の製造方法（請求項 2）は、複数の領域に区分された電力用半導体素子チップを用意し、前記領域に少なくとも主電極までが完成した電力用半導体素子を形成する工程と、不良箇所を有する領域を特定する検査工程と、この検査工程で認識された前記不良箇所を有する領域内の主電極を、不良箇所を有しない他の領域内の主電極と選択的に電気的に分離するようにステップ露光により配線を形成する工程とを有することを特徴とする。また、本発明の電力用半導体装置は、複数のセルブロックに区分された電力用半導体素子チップを有し、前記複数のセルブロックはそれぞれ主電極を有し、かつ前記複数のセルブロックの一部の主電極は配線によって互いに電気的に接続され、前記複数のセルブロックの残りの部分の主電極は前記配線とは電気的に分離されていることを特徴とする。